

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-254650

(43)公開日 平成7年(1995)10月3日

(51)Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8242

27/108

G 1 1 C 11/401

H 0 1 L 27/ 10

3 2 5 V

G 1 1 C 11/ 34

3 6 2 B

審査請求 未請求 請求項の数 2 O L (全 10 頁) 最終頁に続く

(21)出願番号

特願平6-43883

(22)出願日

平成6年(1994)3月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中野 浩明

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

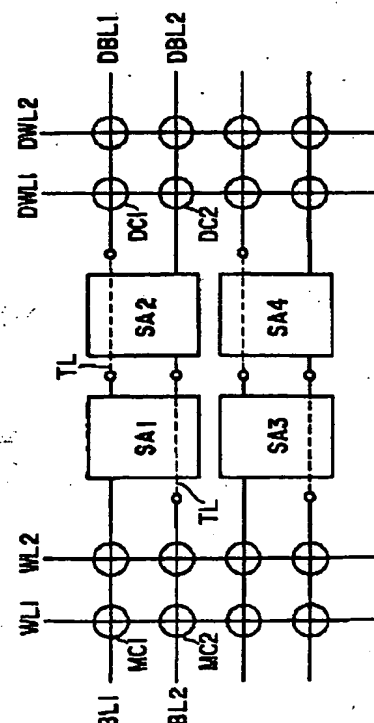
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ダイナミック型半導体記憶装置

(57)【要約】

【目的】 センス方式を変えことなくセンスアンプ設計ルールの緩和をはかることができ、かつチップ面積の増大を防止し得るDRAMを提供すること。

【構成】 マトリックス状に配置された複数のダイナミック型メモリセルと、これらのメモリセルと情報のやり取りを行う複数本のビット線と、これらのビット線と交差して配置され、ビット線に情報を取り出すメモリセルの選択を行う複数本のワード線と、ビット線に取り出されたメモリセルの情報を検知増幅するためにビット線に接続されたセンスアンプとを備えたDRAMにおいて、2個のセンスアンプSA1、SA2がビット線方向に隣接配置され、接続すべきセンスアンプSA2との間に別のセンスアンプSA1が存在するビット線BL2にはビット線を構成する配線層とは異なる配線層が接続され、この配線層を介してビット線BL2とセンスアンプSA2が接続されていることを特徴とする。



【特許請求の範囲】

【請求項1】 2次元状に配置された複数のダイナミック型メモリセルと、これらのメモリセルと情報のやり取りを行う複数のビット線と、これらのビット線と交差して配置され、前記ビット線に情報を取り出すメモリセルの選択を行う複数のワード線と、前記ビット線に取り出されたメモリセルの情報を検知増幅するために前記ビット線に接続されたセンスアンプ及びビット線をイコライズするイコライズ回路等が配設されるセンスアンプブロックとを備えたダイナミック型半導体記憶装置において、

ビット線方向に複数のセンスアンプブロックを隣接配置し、接続すべき所定のセンスアンプブロックとの間に別のセンスアンプブロックが存在するビット線には該ビット線を構成する配線層とは異なる配線層を接続し、この配線層を別のセンスアンプブロックを通過させて所定のセンスアンプブロックに接続してなることを特徴とするダイナミック型半導体記憶装置。

【請求項2】 2次元状に配置された複数のダイナミック型メモリセルと、これらのメモリセルと情報のやり取りを行う複数のビット線と、これらのビット線と交差して配置され、前記ビット線に情報を取り出すメモリセルの選択を行う複数のワード線と、前記ビット線に取り出されたメモリセルの情報を検知増幅するために前記ビット線に接続されたセンスアンプ及びビット線をイコライズするイコライズ回路等が配設されるセンスアンプブロックと、を備えた折り返しビット線方式のダイナミック型半導体記憶装置において、

前記ビット線が2層の配線層により構成され、この2層配線層の一方をセンスアンプブロック上の通過配線とし、他方をセンスアンプブロック内の配線層として用い、複数のセンスアンプブロックをビット線方向に隣接配置してなることを特徴とするダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ダイナミック型半導体記憶装置(DRAM)に係わり、例えば64Mビット以降におけるセンスアンプ配置の工夫をはかった超高密度DRAMに関する。

【0002】

【従来の技術】 1トランジスタ/1キャパシタのダイナミック型メモリセルをマトリックス状に配置形成したDRAMにおいて、メモリセル及びセンスアンプブロックの配置方法は、DRAMの面積或いは性能を左右する重要な設計項目である。これまでに提案されているメモリセル及びセンスアンプブロックを含めたセルアレイの構成方法を、以下に簡単に説明する。

【0003】 図14(a)は開放型ビット線(オープンBL)方式と呼ばれる構成法であり、任意のワード線W

Lとビット線BLが交差する全ての交点にメモリセルMCが配置され、最もメモリセルの密度が大きくなり、小面積のチップを得るために適した構成法である。この方式においては、その設計最小寸法をFとした場合、セル面積は理想的には $4F^2$ にすることができる。

【0004】 しかし、センスアンプブロックのレイアウト設計においては、図から明らかなように1BLのピッチにセンスアンプブロックSAを1セット置く必要があり、センスアンプブロックSAの設計ルールが非常に厳しくなる。また、ビット線対が異なるセルアレイにあるため、1つのセルアレイで発生したノイズはビット線対の一方にしか乗らず、これをキャンセルすることは難しく、従ってノイズに対して弱い欠点がある。

【0005】 図14(b)は、リラックスオープンBL方式と呼ばれる構成法である。この方式では、メモリセルMCは全てのワード線WLとビット線BLの交点に配置されており、センスアンプブロックSAは2BL内に1セット配置される。解放型ビット線方式よりは、センスアンプブロックSAのレイアウト設計が容易であるが、十分とは言えない。また、解放型ビット線方式と同様にノイズに対して弱い欠点がある。

【0006】 図14(c)は、折り返し型ビット線(フォールデッドBL)方式と呼ばれる構成法である。この方式においては、センスアンプブロックのレイアウト設計において、4BLピッチに1つのセンスアンプブロックSAを配置すればよく、開放型ビット線方式に比べ比較的容易に設計できる。また、1つのセルアレイ内でビット線対を構成することから、アレイ内で発生したノイズはビット線対の両方に乗るため、ノイズに強い特長がある。

【0007】 しかし、メモリセルの面積は、最小寸法をFとすると $8F^2$ となり、前述の開放型ビット線方式に比べメモリセルの面積は2倍となり、チップ面積の増大を招く。

【0008】

【発明が解決しようとする課題】 このように従来、オープンBL→リラックスオープンBL→フォールデッドBLの順にセンスアンプブロックの設計ルールは緩くなるが、これに伴いチップ面積の増大を招く。つまり、センス方式を変えてセンスアンプブロックの設計ルールを緩くすると、チップ面積の増大を招くという問題があった。

【0009】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、センス方式を変えることなくセンスアンプブロック設計ルールの緩和をはかることができ、センスアンプブロック設計ルールの緩和に起因するチップ面積の増大を防止し得るダイナミック型半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】 本発明の骨子は、センス

10

20

30

40

50

アンプブロック内でトランジスタの拡散層やゲート電極の配線に用いられる配線層を増やすことで、従来1つのセルアレイ内でワード線方向に1列でしか配置できなかったセンスアンプブロックを複数列に配置し、1つのセンスアンプブロックをレイアウト設計する際のワード線方向のピッチを緩和することにある。

【0011】即ち本発明（請求項1）は、2次元状に配置された複数のダイナミック型メモリセルと、これらのメモリセルと情報のやり取りを行う複数本のビット線と、これらのビット線と交差して配置され、ビット線に情報を取り出すメモリセルの選択を行う複数本のワード線と、ビット線に取り出されたメモリセルの情報を検知増幅するためにビット線に接続されたセンスアンプ及びビット線をイコライズするイコライズ回路等が配設されるセンスアンプブロックとを備えたダイナミック型半導体記憶装置において、ビット線方向に複数のセンスアンプブロックを隣接配置し、接続すべき所定のセンスアンプブロックとの間に別のセンスアンプブロックが存在するビット線には該ビット線を構成する配線層とは異なる配線層を接続し、この配線層を別のセンスアンプブロックを通過させて所定のセンスアンプブロックに接続したことを特徴とする。

【0012】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) センス方式は解放型ビット線方式であり、ビット線方向に2個のセンスアンプブロックが隣接配置され、センスアンプブロックの一方のノードはビット線対の一方に直接接続され、他方のノードはビット線とは別の層の配線を介してビット線対の他方に接続されること。

(2) センス方式はリラックスオープンBL方式であり、ビット線方向に2個のセンスアンプブロックが隣接配置され、センスアンプブロックの一方のノードはビット線対の一方に直接接続され、他方のノードはビット線とは別の層の配線を介してビット線対の他方に接続されること。

(3) センス方式は折り返しビット線方式であり、ビット線方向に2個のセンスアンプブロックが隣接配置され、接続すべきビット線に近い方のセンスアンプブロックはビット線に直接接続され、接続すべきビット線に遠い方のセンスアンプブロックはビット線とは別の層の配線を介してビット線と接続されること。

【0013】また本発明（請求項2）は、2次元状に配置された複数のダイナミック型メモリセルと、これらのメモリセルと情報のやり取りを行う複数本のビット線と、これらのビット線と交差して配置され、ビット線に情報を取り出すメモリセルの選択を行う複数本のワード線と、ビット線に取り出されたメモリセルの情報を検知増幅するためにビット線に接続されたセンスアンプ及びビット線をイコライズするイコライズ回路等が配設されるセンスアンプブロックと、を備えた折り返しビット線

方式のダイナミック型半導体記憶装置において、ビット線が2層の配線層により構成され、この2層配線層の一方をセンスアンプブロック上の通過配線とし、他方をセンスアンプブロック内の配線層として用い、複数のセンスアンプブロックをビット線方向に隣接配置したことを特徴とする。

(4) 上記実施態様において、隣接配置されるセンスアンプブロックを構成している各回路を任意に配置することで、pMOSトランジスタが配設されるnウェルをセンスアンプ領域の中央部で共有すること。

【0014】

【作用】本発明（請求項1）によれば、ビット線とは異なる層の配線層を用い、この配線層を一方のセンスアンプブロックを通過させて他方のセンスアンプブロックに接続することにより、ビット線方向に複数の（例えば2個）のセンスアンプブロックを配置しても、これらのセンスアンプブロックにより対応するビット線のセンス動作を行うことができる。そしてこの場合、従来の2倍の数のビット線の配置領域にセンスアンプブロックを設置できるため、センスアンプブロックをレイアウト設計する際のワード線方向のピッチを緩和することが可能となる。

【0015】また、本発明（請求項2）によれば、ビット線が2層配線からなる構成において、一方のビット線をセンスアンプブロックの通過配線とすることにより、新たな配線を設けなくても請求項1と同様に、従来の2倍の数のビット線の配置領域にセンスアンプブロックを設置できることになる。従って、センスアンプブロックをレイアウト設計する際のワード線方向のピッチを緩和することが可能となる。

【0016】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（実施例1）図1は、本発明の第1の実施例に係わるDRAMのセルアレイ部の構成を示す図である。複数のメモリセルMC（MC1、MC2…）がマトリクス状に配置され、これらと情報電荷のやり取りを行う複数本のビット線BL（BL1、BL2…）が平行に配置されている。また、ビット線BLと直交する方向に、メモリセルの選択を行う複数本のワード線WL（WL1、WL2…）が平行に配置されている。

【0017】メモリセルMCは、良く知られているような1トランジスタ/1キャパシタ構造のものであり、セルアレイに対応したビット線構成は開放型になっている。即ち、ビット線BLとワード線WLの交差部の全てにメモリセルMCが配置されている。

【0018】ワード線WL（WL1、WL2…）が選択される際、同様に選択されるダミーワード線DWL（DWL1、DWL2…）、及びダミーセルDC（DC1、DC2…）はセンスアンプブロックSAを中心にして反

対側のセルアレイに配置され、各々のダミーセルDCはダミービット線DBL (DBL1, DBL2...)と電荷のやり取りを行うものとなっている。

【0019】センスアンプブロックSAの配置は、BL1, DBL1に対応するSA1とBL2, DBL2に対応するSA2が、ビット線方向に隣接して配置されている。そして、BL2はSA1内で用いられない他の配線層TLに接続され、SA1を通過してSA2に接続されている。同様に、DBL1はSA2内で用いられない他の配線層TLに接続され、SA2を通過してSA1に接続されている。

【0020】なお、通過配線TLとしてはBL, DBLとは異なる層に形成されたものであればよく、例えばセンスアンプブロック内でトランジスタの拡散層或いはゲート電極の配線に用いられる配線層を増やすことで形成すればよい。また、本来のビット線よりも上に新たな配線層を形成し、これをTLとして用いてもよい。

【0021】このように本実施例では、ビット線BLとは異なる層の通過配線TLを用いることにより、センスアンプブロックSAをビット線方向に隣接配置することができ、この状態で通常の解放型ビット線方式と同様にセンス動作を行うことができる。そしてこの場合、ワード線方向に関しては、2BLのピッチにセンスアンプブロックSAを1セット配置すればよいので、従来の解放型ビット線方式に比して、センスアンプブロックSAのワード線方向のピッチを2倍にすることができ、センスアンプ設計の自由度を大幅に増すことができる。

(実施例2) 図2は、本発明の第2の実施例に係わるDRAMのセルアレイ部の構成を示す図である。この実施例は、前記図14(b)に示すリラクセスオープンBL方式のセルアレイに本発明を適用した例である。

【0022】本実施例では、第1の実施例と同様にセンスアンプブロックSAのピッチを従来の2倍にして、4BLピッチでのレイアウト設計を可能にしている。従って、従来のリラクセスオープンBL方式に比して、センスアンプ設計ルールの緩和をはかることができる。

(実施例3) 図3は、本発明の第3の実施例に係わるDRAMのセルアレイ部の構成を示す図である。この実施例は、前記図14(c)に示す折り返し型ビット線方式のセルアレイに本発明を適用した例である。

【0023】本実施例では、セルアレイに対して両側にそれぞれビット線方向に2つのセンスアンプブロックSA (SA1~SA4)が隣接配置されている。左側のセンスアンプ配置について説明すると、セルアレイに近い方のセンスアンプブロックSA1は、ビット線対BL1, /BL1に直接接続されている。セルアレイに遠い方のセンスアンプブロックSA3は、SA1を通過する配線TLを介してビット線対BL3, /BL3に接続されている。右側のセンスアンプ配置も実質的に同様である。メモリセルの配置は通常の折り返しビット線方式と

同様であり、同一ワード線に対し対をなすビット線の方のみにMCが設けられている。

【0024】本実施例では、第1の実施例と同様に、センスアンプブロックSAのピッチを従来の2倍にして、8BLピッチでのレイアウト設計を可能にしている。従って、従来の折り返しビット線方式に比して、センスアンプ設計ルールの緩和をはかることができる。

(実施例4) 図4は、本発明の第4の実施例に係わるDRAMのセルアレイ部の構成を示す図である。この実施例は、ビット線を2層とした折り返し型ビット線方式のセルアレイ (例えば特願平5-235016号) に本発明を適用した例である。

【0025】上述した実施例においてはセンスアンプ部のみ新しい配線層を用いていたが、本実施例においては、セルアレイ内においても、層の異なる2種類のBLを用いることを特徴とする。図5にセンスアンプ部の断面を示す。1対のBLの上に他方のBLが通過している。

【0026】本実施例では、図4中に実線で示すBLを下層配線、破線で示す/BLを上層配線とし、下層配線側にメモリセルMCを接続している。そして、上層及び下層配線の一对でビット線対を構成して折り返しビット線方式を形成している。また、上層及び下層配線には一定の間隔で接続切り換え点を設け、この部分で上層配線と下層配線とをクロスさせている。これは、折り返しビット線方式におけるビット線間のカップリングノイズを低減するためである。

【0027】本実施例の構成においては、メモリセルの面積を $4F^2$ にすることが可能であり、またビット線を2層構造にすることで、折り返し型ビット線方式とすることができる。センスアンプブロックSAの配置に関しては第3の実施例と同様にして図5に示すように配置される。

【0028】また本実施例では、1層のビット線で構成する折り返しビット線方式とは異なり、例えば図4で上側のビット線を除いてみるとワード線と下側のビット線の交点全てにメモリセルMCが配置されているため、メモリセルサイズを折り返しビット線方式の半分、即ち解放型ビット線方式と同等にできる。従って、センスアンプ設計ルールの緩和と共に、チップ面積の縮小化をはかることができる。

【0029】図6は第4の実施例におけるセンスアンプ部の構成例を示し、図7はビット線層等のレイアウト例を示したものである。一般に、DRAMのセンスアンプブロックは、BLと/BLをイコライズして一定の電位にプリチャージするためのイコライズ回路EQ、センスアンプを接続するメモリセルアレイを選択するためのトランスファゲートPT、ビット線に出てきたメモリセルの情報を検知・増幅するセンスアンプ回路SA、センスアンプで増幅された信号をセルアレイ外部へ転送するた

めのデータ転送回路DQ等からなる。

【0030】一つのセンスアンプブロックSAGは、一般的な折り返しBL方式のDRAMに用いられる回路構成であり、図7はそれを並べて配置し、必要に応じて第1のビット線層と第2のビット線層のつなぎ変えを行った例である。図8及び図9にビット線のつなぎ変えをしている領域61、62のパターンレイアウトの例を示す。

【0031】図10は第4の実施例におけるセンスアンプ部の他の構成例を示し、図11はビット線層等のレイアウト例を示したものである。図6、図7と比較すると、イコライズ回路EQ、トランスファゲートPTがセルアレイ側に配置され、センスアンプ中央でセンスアンプ回路FFが隣接して配置されている。通常、センスアンプブロックSAGを構成する回路群において、pMOSトランジスタが必要になるのはセンスアンプ回路SAであり、本実施例においてはそれらを隣接配置することにより、pMOSトランジスタを配設するためのnウェル領域を一つにまとめ、通常かなりの面積が必要とされるウェル分離領域を減らすことができ、チップ面積の低減をはかることができる。

【0032】図12及び図13に本実施例でビット線のつなぎ変えをしている領域81、82のパターンレイアウトの例を示す。図8、9及び図12、13で示したレイアウト例においては、第1と第2のビット線を直接接続しているが、必ずしも直接接続する必要はなく、製造工程の簡略化のために例えば、更に上層の配線層を介して接続することも可能である。

【0033】なお、本発明は上述した各実施例に限定されるものではない。実施例では2個のセンスアンプブロックをビット線方向に隣接配置したが、3個以上のセンスアンプブロックを隣接配置するようにしてもよい。また、メモリセル構造は必ずしも1トランジスタ/1キャパシタに限るものではなく、仕様に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0034】

【発明の効果】以上詳述したように本発明によれば、センスアンプブロック内でトランジスタの拡散層やゲート電極の配線に用いられる配線層を増やすことで、従来1つのセルアレイ内でワード線方向に1列でしか配置できなかったセンスアンプブロックを複数列に配置することで、1つのセンスアンプブロックをレイアウト設計する際のワード線方向のピッチを緩和することができる。従

って、センス方式を変えことなくセンスアンプ設計ルールの緩和をはかることができ、センスアンプ設計ルールの緩和に起因するチップ面積の増大を最小限に抑えるダイナミック型半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わるDRAMのセルアレイ部の構成を示す図。

【図2】第2の実施例に係わるDRAMのセルアレイ部の構成を示す図。

【図3】第3の実施例に係わるDRAMのセルアレイ部の構成を示す図。

【図4】第4の実施例に係わるDRAMのセルアレイ部の構成を示す図。

【図5】第4の実施例に用いたセンスアンプ部の断面を示す図。

【図6】第4の実施例に用いたセンスアンプ部の構成例を示す図。

【図7】第4の実施例におけるビット線層等のレイアウト例を示す図。

【図8】図7のセンスアンプ部におけるビット線をつなぎ変えている領域のレイアウトを示す図。

【図9】図7のセンスアンプ部におけるビット線をつなぎ変えている領域のレイアウトを示す図。

【図10】第4の実施例に用いたセンスアンプ部の他の構成例を示す図。

【図11】第4の実施例におけるビット線層等のレイアウト例を示す図。

【図12】図11のセンスアンプ部におけるビット線をつなぎ変えている領域のレイアウトを示す図。

【図13】図11のセンスアンプ部におけるビット線をつなぎ変えている領域のレイアウトを示す図。

【図14】従来のDRAMのセルアレイ部の構成を示す図。

【符号の説明】

MC…メモリセル

DC…ダミーセル

BL…ビット線

WL…ワード線

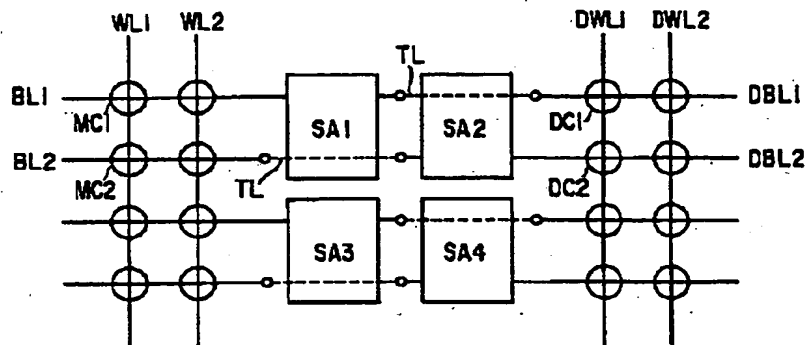
DBL…ダミービット線

DWL…ダミーワード線

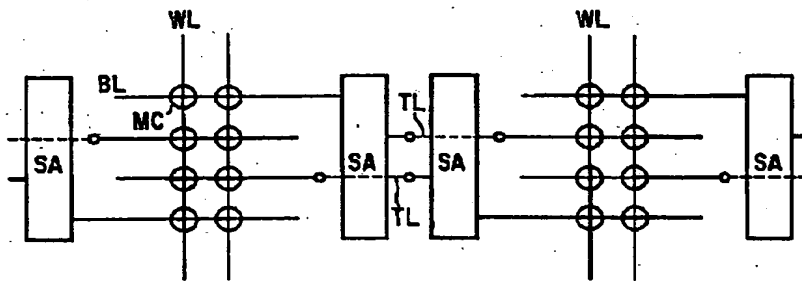
SA…センスアンプ

TL…通過配線

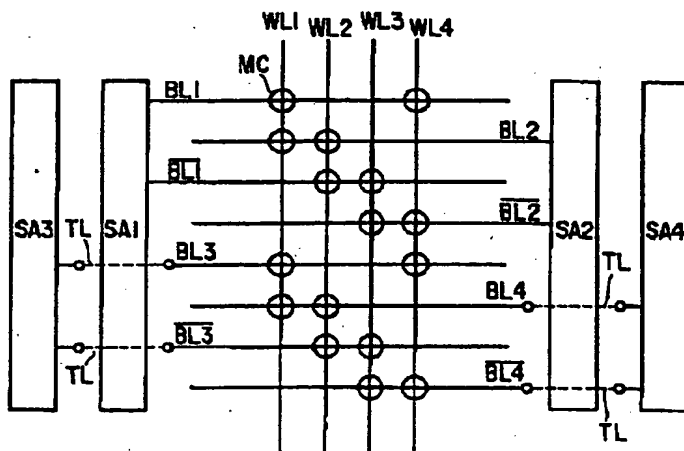
【図1】



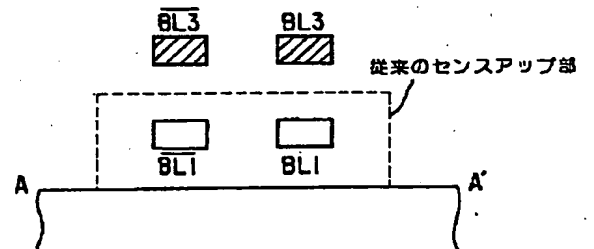
【図2】



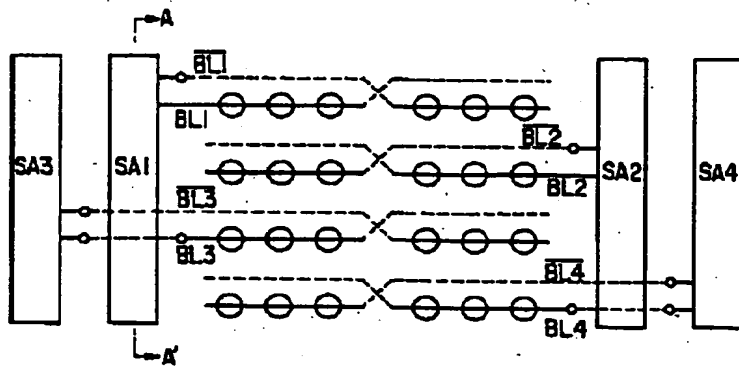
【図3】



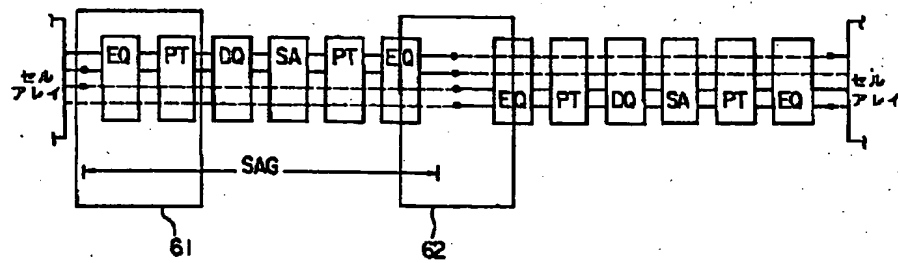
【図5】



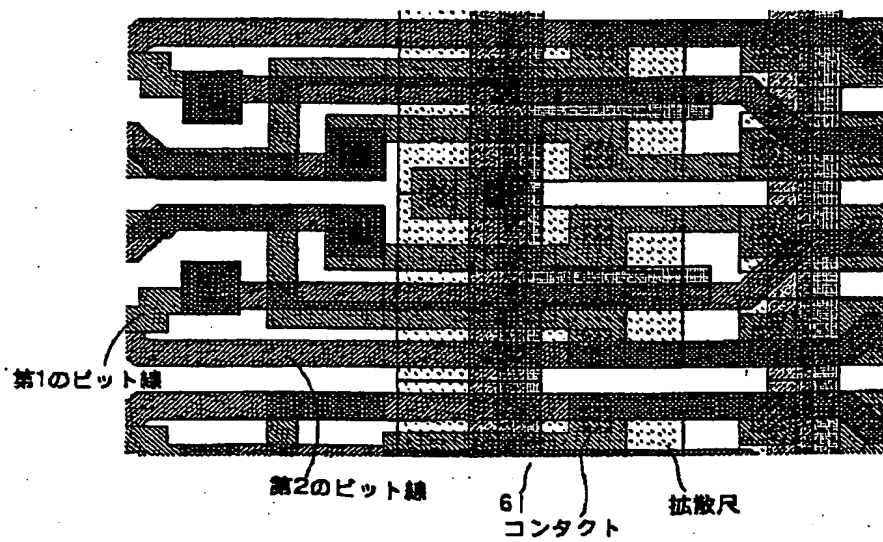
【図4】



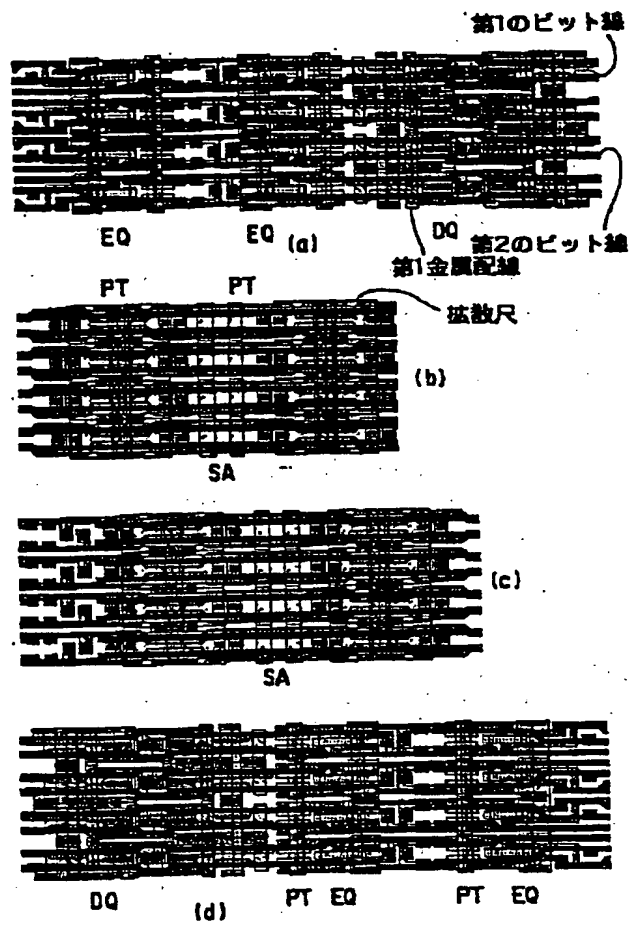
【図6】



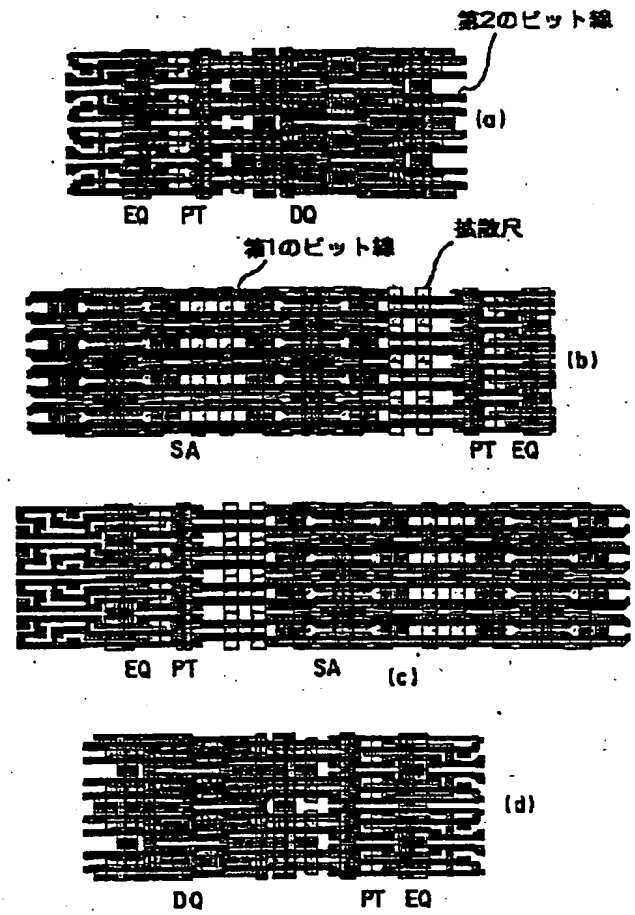
【図8】



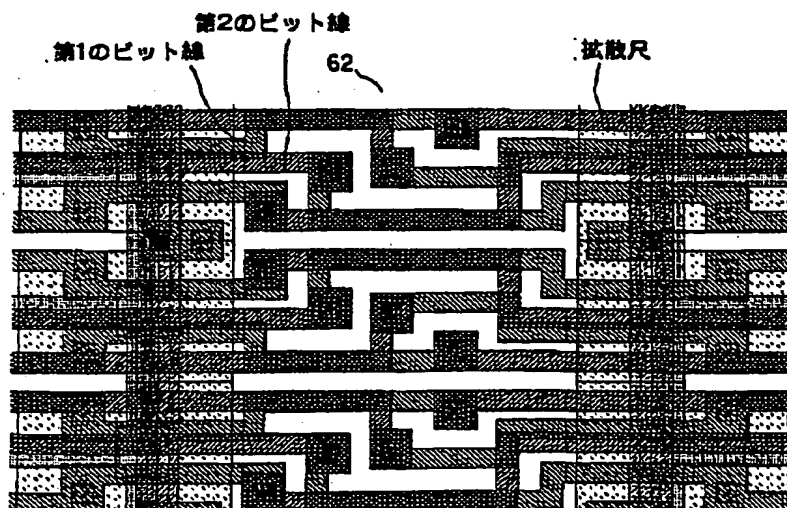
【図7】



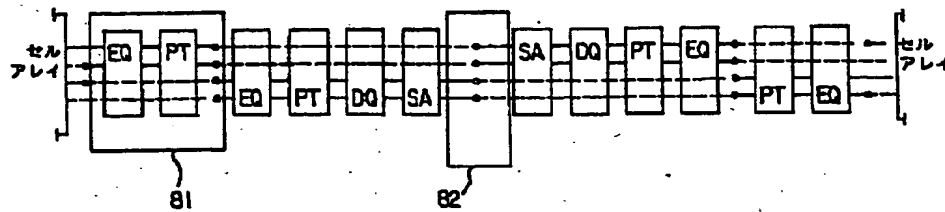
【図11】



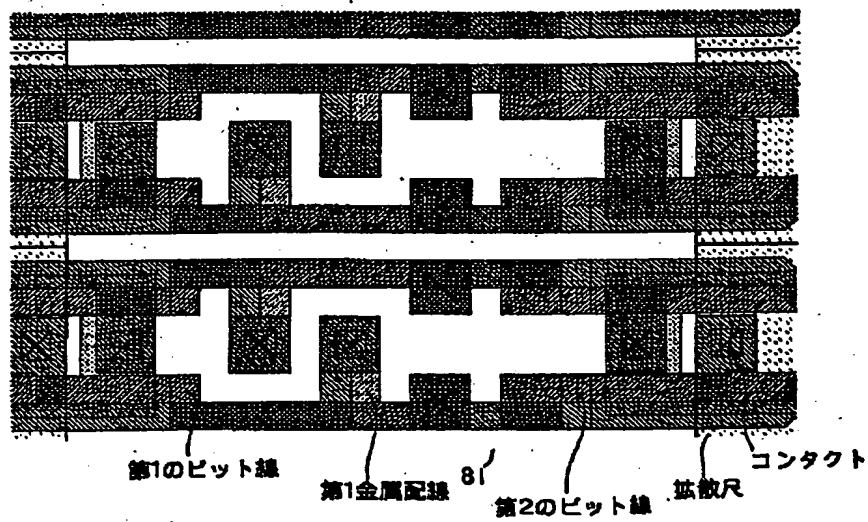
【図9】



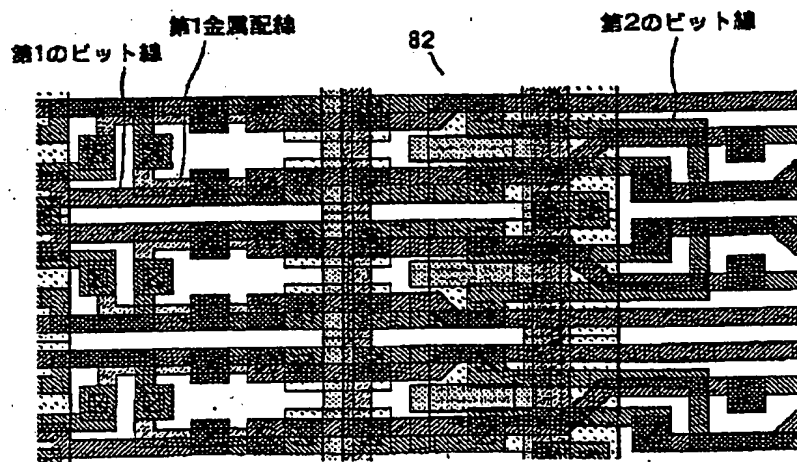
【図10】



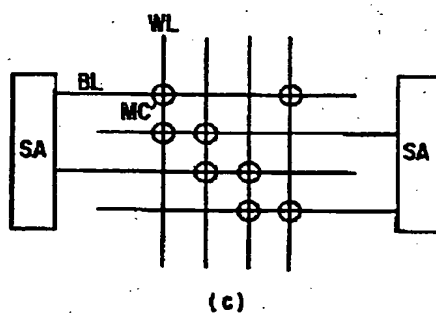
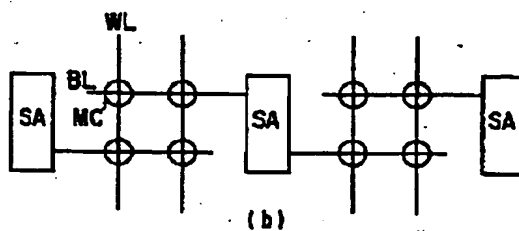
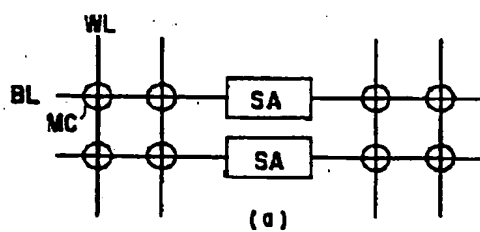
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

FI

H01L 27/10

325 P

技術表示箇所